**Министерство образования и науки Кыргызской Республики**

**Министерство науки и высшего образования Российской Федерации**

Государственное образовательное учреждение

высшего профессионального образования

Кыргызско-Российский Славянский университет

Имени первого Президента Российской Федерации Б. Н. Ельцина

Естественно-технический факультет

Кафедра информационных и вычислительных технологий

**ЛАБОРАТОРНАЯ РАБОТА №5**По дисциплине: «Схемотехника»

Выполнил: студент группы ЕПИ-4-23 Лосев Данил

Руководитель: Полунин Валерий Викторович

Оценка: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Дата: \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

**Бишкек-2024**

**Цель работы.**

Получить практический опыт программирования и разработки схем для управления несколькими 7-сегментными индикаторами на плате Altera DE0. Научиться отображать входные значения на индикаторах в зависимости от положения тумблеров, а также проверить все возможные комбинации входных сигналов и их соответствующие выходные результаты.

**Схема и таблица истинности**

Схема для задания:

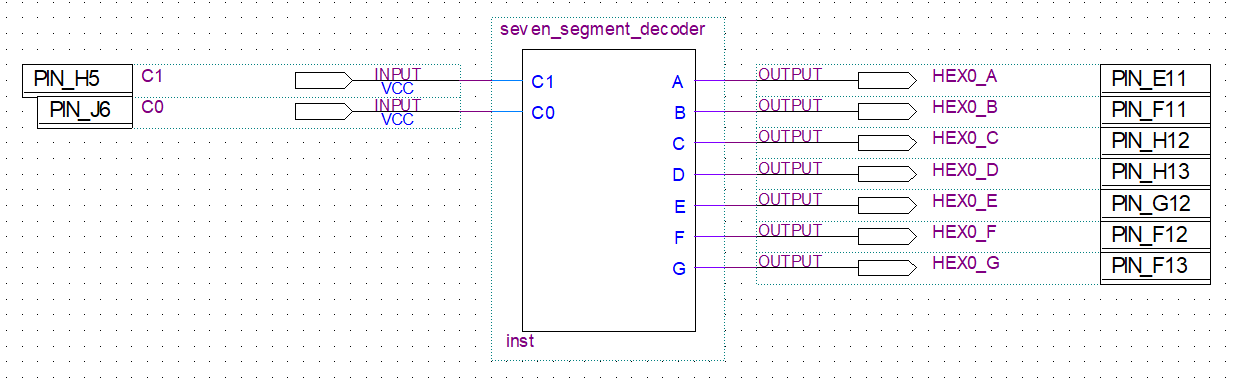


Таблица истинности для задания:

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| C1 | C0 | Символ | A | B | C | D | E | F | G |
| 0 | 0 | d | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | E | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | (пусто) | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

**Код на Verilog для поведенческого стиля программирования.**

Код для модуля seven\_segment\_decoder:

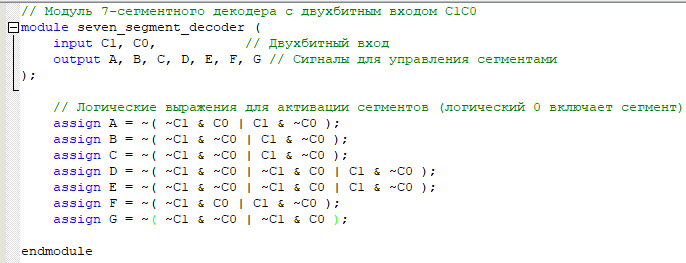
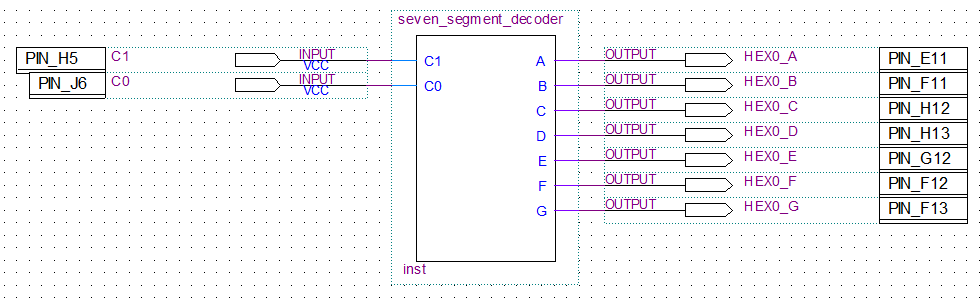


Схема задания:



**Выводы по работе**

В ходе работы был получен опыт программирования платы Altera DE0, реализована схема управления несколькими 7-сегментными индикаторами. Проверены все комбинации входных сигналов и их соответствие правильным отображаемым результатам на индикаторах, что позволило понять принципы управления цифровыми устройствами и повысить навыки работы с ПЛИС.

**Контрольные вопросы**

1. Используя рис. 1 заполните таблицу истинности, приведенную ниже:

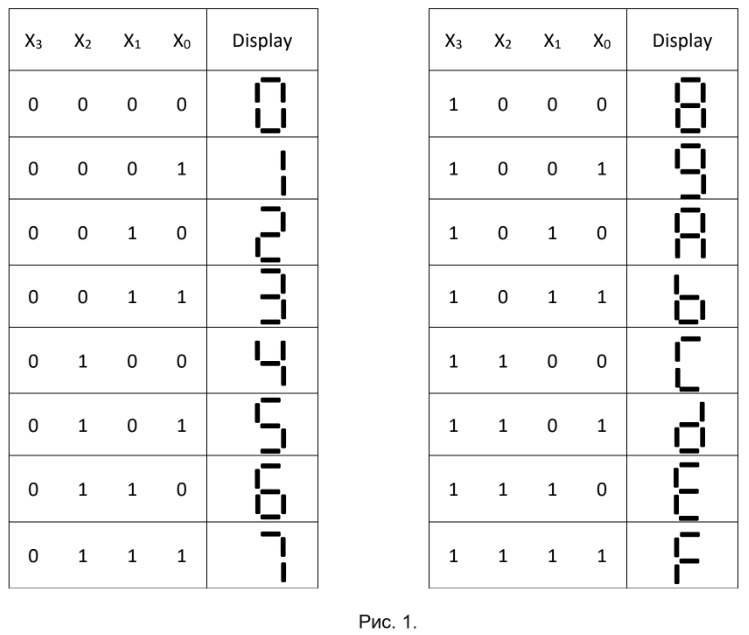


Таблица истинности:

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Х3 | Х2 | Х1 | Х0 | A | B | C | D | E | F | G |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |

2. Напишите код на Verilog для декодера 7-сегментного индикатора на основе таблицы истинности из раздела 6.1.

